

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-141807

(43)Date of publication of application : 17.05.2002

(51)Int.CI.

H03M 7/42
H04N 7/30

(21)Application number : 2000-335647

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 02.11.2000

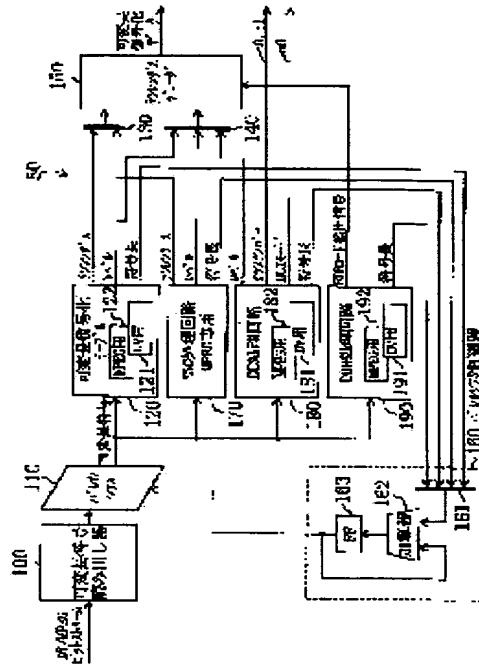
(72)Inventor : MIYAKOSHI EIJI
WATABE AKIHIRO

(54) VARIABLE LENGTH DECODER

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the circuit scale of a bidirectional format conversion system by realizing variable length decoding on the bit stream of DV and MPEG formats in a common circuit.

SOLUTION: This device is provided with a barrel shifter 110, a barrel shifter control circuit 160 for segmenting a variable length code from an input bit stream, a variable length decoding table 120 for decoding the alternating current(AC) coefficient of the DV format and MPEG format, a run length decoder 150 capable of processing the run length of level 0, escape(ESC) processing circuit 170 dedicated to MPEG format, a direct current(DC) processing circuit 180 for each of formats and an end-of-block (EOB) processing circuit 190 respectively holding the EOB codes of both the formats.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2002-141807
(P2002-141807A)

(43)公開日 平成14年5月17日(2002.5.17)

(51) Int.Cl.⁷
H 03 M 7/42
H 04 N 7/30

識別記号

F I
H 0 3 M 7/42
H 0 4 N 7/133

データ庫 (参考)
5 C 0 5 9
5 J 0 6 4

審査請求 未請求 請求項の数 4 OL (全 6 頁)

(21)出願番号 特願2000-335647(P2000-335647)

(71) 出願人 000005821

(22) 出願日 平成12年11月2日(2000.11.2)

大阪府門真市大字門真1006番地

(72) 発明者 宮越 英司
大阪府門真市大字門真1006番地 松下電器

(72) 発明者 渡部 彰啓
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 100077931

卷之三

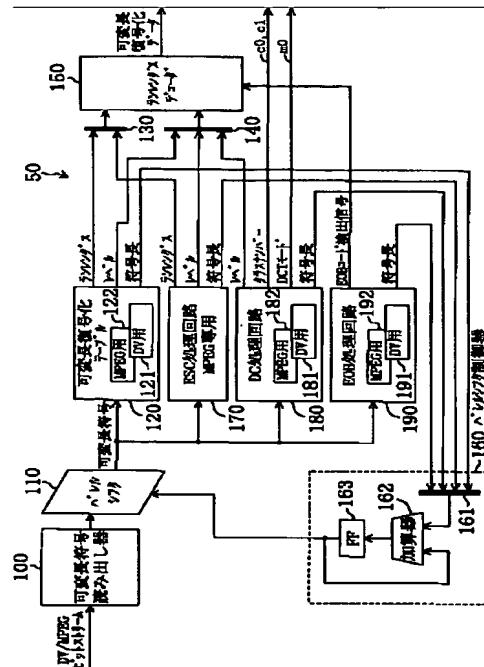
最終頁に統ぐ

(54) 【発明の名称】 可変長復号化器

(57) 【要約】

【課題】 DV及びMPEGフォーマットのビットストリームの可変長復号化を共通の回路により実現し、以て双方向フォーマット変換システムの回路規模を低減する。

【解決手段】 入力ビットストリームから可変長符号を切り出すためのバレルシフタ110及びバレルシフタ制御器160と、DVFオーマットとMPEGオーマットのAC(交流)係数の復号化のための可変長復号化テーブル120と、レベル0のランレンジングスを処理できるランレンジングスデコーダ150と、MPEGオーマット専用のESC(エスケープ)処理回路170と、各フォーマット用のDC(直流)処理回路180と、両フォーマットのEOB(エンド・オブ・ブロック)コードをそれぞれ保持したEOB処理回路190とを設ける。



【特許請求の範囲】

【請求項1】 互いに異なるフォーマットで圧縮符号化された複数のビットストリームのデコードに共通に用いられる可変長復号化器であって、各フォーマットで圧縮符号化された可変長符号から、その符号長、ランレンジス及びレベルを求めるための可変長復号化テーブルと、レベル0のランレンジスを許容して、与えられたランレンジスの数だけ0を出力し、かつ与えられたレベルを出力することにより、前記可変長符号に対応した可変長復号化データを出力するためのランレンジスデコーダとを備えたことを特徴とする可変長復号化器。

【請求項2】 請求項1記載の可変長復号化器において、各フォーマット用のE O Bコードのうちいずれかを選択し、かつ与えられた可変長符号が前記選択したE O Bコードと一致したときには前記ランレンジスデコーダに対応ブロックの最後まで0を出力させるように、E O Bコード検出信号を前記ランレンジスデコーダへ供給するためのE O B処理回路を更に備えたことを特徴とする可変長復号化器。

【請求項3】 請求項2記載の可変長復号化器において、前記可変長復号化テーブル、ランレンジスデコーダ及びE O B処理回路は、D VフォーマットとM P E Gフォーマットとの双方に適合するように構成されたことを特徴とする可変長復号化器。

【請求項4】 請求項3記載の可変長復号化器において、M P E Gフォーマット専用のE S C処理回路と、D Vフォーマット及びM P E Gフォーマットの各々に対応したD C処理回路と、

前記可変長復号化テーブル、E S C処理回路、E O B処理回路及びD C処理回路の各々へ可変長符号を供給するためのバレルシフタと、与えられた符号長に応じて前記バレルシフタの動作を制御するためのバレルシフタ制御器とを更に備えたことを特徴とする可変長復号化器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、互いに異なるフォーマットで圧縮符号化された複数のビットストリームのデコードに共通に用いられる可変長復号化器に関するものである。

【0002】

【従来の技術】 近年、デジタルビデオ圧縮技術の普及により、様々な記録メディアがデジタル化されている。

【0003】 磁気テープにビデオ情報を記録するビデオムービー系の機器、例えばビデオカセットレコーダ(VCR)、デジタルビデオカメラ(DVC)では、D C T

(離散コサイン変換)によるフレーム内の空間的な冗長度の削減と、可変長符号化による符号量の削減とを組み合わせた圧縮技術が採用されている。このような圧縮技術を盛り込んだ規格の1つとして、1996年にH DデジタルV C R協議会により制定されたD V規格"Specifications of Consumer-Use Digital VCRs Using 6.3mm Magnetic Tape"が知られている。そのほか、D V C、D V C P R O、D V c a m等の規格がある。本願では、これらビデオムービー系の規格に基づく圧縮符号化フォーマットを総じて「D Vフォーマット」という。

【0004】 光ディスクにビデオ情報を記録する蓄積メディア系の機器、例えばデジタルビデオディスク(D V D)では、動き補償によるフレーム間の時間的な冗長度の削減と、D C Tによるフレーム内の空間的な冗長度の削減と、可変長符号化による符号量の削減とを組み合わせた圧縮技術が採用されている。このような圧縮技術を盛り込んだ規格の1つとして、1994年に制定されたM P E G 2規格ISO/IEC 13818-2 "Information Technology - Generic Coding of Moving Pictures and Associated Audio"が知られている。そのほか、M P E G 1等の規格がある。本願では、これら蓄積メディア系の規格に基づく圧縮符号化フォーマットを総じて「M P E Gフォーマット」という。特開平11-31973号公報には、M P E Gエンコーダ及びM P E Gデコーダの例が示されている。

【0005】 D VフォーマットとM P E Gフォーマットとの間には、カラーコンポーネント形式、E S C(エスクープ)処理の要否、D C T係数中のD C(直流)係数の取り扱い等の種々の点において差異がある。したがって、両者間のフォーマット変換が要望されている。

【0006】 特開平10-304401号公報や特開平11-112973号公報には、D VフォーマットからM P E Gフォーマットへのデータ変換の例が示されている。これらの例によれば、D Vフォーマットで圧縮符号化されたビットストリームを一旦D Vデコーダでデコードし、このデコードの結果をM P E Gエンコーダで処理することにより、M P E Gフォーマットで圧縮符号化されたビットストリームを得る。

【0007】 M P E GフォーマットからD Vフォーマットへのデータ変換の場合には、M P E Gフォーマットで圧縮符号化されたビットストリームを一旦M P E Gデコーダでデコードし、このデコードの結果をD Vエンコーダで処理することにより、D Vフォーマットで圧縮符号化されたビットストリームが得られる。

【0008】

【発明が解決しようとする課題】 上記従来技術によれば、D VフォーマットとM P E Gフォーマットとの間の相互変換を達成できるシステムを構築しようとすると、D Vデコーダ及びM P E Gデコーダを用意しなければならない。つまり、D Vフォーマットで圧縮符号化された

ビットストリームのデコードに用いられる可変長復号化器と、MPEGフォーマットで圧縮符号化されたビットストリームのデコードに用いられる可変長復号化器とを別々に用意していたので、フォーマット変換システムの回路規模が大きくなってしまうという課題があった。

【0009】本発明の目的は、互いに異なるフォーマットで圧縮符号化された複数のビットストリームのデコードに共通に用いられる可変長復号化器を提供し、以て双方向フォーマット変換システムの回路規模を低減することにある。

【0010】

【課題を解決するための手段】上記目的を達成するため、本発明は、各フォーマットで圧縮符号化された可変長符号から、その符号長、ランレンジス及びレベルを求めるための可変長復号化テーブルと、レベル0のランレンジスを許容して、与えられたランレンジスの数だけ0を出力し、かつ与えられたレベルを出力することにより、前記可変長符号に対応した可変長復号化データを出力するためのランレンジスデコーダとを備えた可変長復号化器の構成を採用したものである。

【0011】また、各フォーマット用のEOP（エンド・オブ・ブロック）コードのうちいずれかを選択し、かつ与えられた可変長符号が前記選択したEOPコードと一致したときには前記ランレンジスデコーダに対応ブロックの最後まで0を出力させるように、EOPコード検出信号を前記ランレンジスデコーダへ供給するためのEOP処理回路を更に備えることとする。

【0012】

【発明の実施の形態】図1は、本発明に係るワンチップ可変長復号化器の構成例を示している。図1の可変長復号化器50は、DVフォーマットで圧縮符号化されたビットストリームのデコードと、MPEGフォーマットで圧縮符号化されたビットストリームのデコードとに共通に用いられる可変長復号化器であって、可変長符号読み出し器100と、バレルシフタ110と、可変長復号化テーブル120と、ランレンジスセレクタ130と、レベルセレクタ140と、ランレンジスデコーダ150と、バレルシフタ制御器160とを備えている。可変長符号読み出し器100は、メモリからビットストリームを読み出すものであり、DVフォーマットで圧縮符号化されたビットストリームと、MPEGフォーマットで圧縮符号化されたビットストリームとを当該可変長復号化器50へ入力することができる。バレルシフタ110は、入力ビットストリームをシフトさせて得た可変長符号を可変長復号化テーブル120へ供給する。シフト量は、バレルシフタ制御器160からバレルシフタ110に与えられる。可変長復号化テーブル120は、各フォーマットで圧縮符号化された可変長符号から、その符号長、ランレンジス及びレベルを求めるためのテーブルであって、DV用テーブル121と、MPEG用テーブル

122とを有している。ランレンジスはセレクタ130を介して、レベルはセレクタ140を介してそれぞれランレンジスデコーダ150に与えられる。ランレンジスデコーダ150は、基本的には、与えられたランレンジスの数だけ0を出力した後、与えられたレベルを出力することにより、可変長符号に対応した可変長復号化データを出力する。この可変長復号化データは、量子化されたDCT係数であって、後段LSIにおいて逆量子化処理及び逆DCT処理の対象となるものである。バレルシフタ制御器160は、与えられた符号長に応じてバレルシフタ110の動作を制御するものであって、符号長セレクタ161と、加算器162と、FF（フリップフロップ）163とを備えている。加算器162とFF163とは、セレクタ161から出力される符号長を累算し、その結果をバレルシフタ110へシフト量として与える。

【0013】図1の可変長復号化器50は、ESC処理回路170と、DC処理回路180と、EOP処理回路190とを更に備えている。ESC処理回路170は、MPEGフォーマット専用であって、バレルシフタ110から供給された可変長符号に基づいて符号長、ランレンジス及びレベルを出力する。DC処理回路180は、各フォーマットに対応するようDV用DC処理回路181と、MPEG用DC処理回路182とを有し、バレルシフタ110から供給された可変長符号に基づいて符号長及びレベルを出力するとともに、DVフォーマットの場合にはクラスナンバー（c1, c0）とDCTモード（m0）とを更に出力する。EOP処理回路190は、各フォーマット用のEOPコードのうちいずれかを選択し、かつバレルシフタ110から供給された可変長符号が前記選択したEOPコードと一致したときにはランレンジスデコーダ150に対応ブロックの最後まで0を出力させるように、EOPコード検出信号をランレンジスデコーダ150へ供給するための回路であって、DV用EOPコード191と、MPEG用EOPコード192とを有している。また、EOP処理回路190は、バレルシフタ制御器160に符号長を与える。

【0014】さて、フレーム内の情報のみを用いるインストラ・マクロブロックの場合、DCTの最初の係数をDC係数と呼び、その他の係数をAC（交流）係数と呼んで区別する。そして、DC係数とAC係数とで異なる取り扱いをする。フレーム間の情報を用いるインター・マクロブロックにはこの区別が存在せず、全てのDCT係数をAC係数として取り扱う。DVフォーマットでは、動き補償を行わないのでインストラ・マクロブロックしか存在しない。動き補償を行うMPEGフォーマットでは、インストラ・マクロブロックとインター・マクロブロックとの両方が存在する。図1中の可変長復号化テーブル120はAC係数の可変長復号化を行うためのテーブルであり、DC処理回路180はDC係数の処理を行う

ための回路である。

【0015】図2は、DVフォーマットにおける可変長符号の定義範囲をハッチングで示した図である。図示のとおり、DVフォーマットの可変長符号には「レベル0のランレンジス」が存在する。しかも、DVフォーマットによれば、可変長符号の定義範囲外（非ハッチング部分）では2つの可変長符号を組み合わせる。例えば、ランレンジス（run）が10で、レベル（amp）が10の場合、

$$(run-1, 0) + (0, amp) = (9, 0) + (0, 10)$$

とするのである。ここに、（9, 0）はまさに「レベル0のランレンジス」に該当する。

【0016】一方、MPEGフォーマットによれば、前掲の特開平11-31973号公報にも示されているとおり、可変長符号の定義範囲外ではESCコードを用いる。このESCコードには、先頭に開始コード「000001」が、その後に6ビットの固定長符号（ランレンジス）と、12ビットの固定長符号（レベル）とがそれぞれ割り当てられる。例えば、ランレンジスが10で、レベルが2047の場合の符号は、

000001 (開始コード)

001010 (ランレンジス)

011111111111 (レベル)

となる。図1中のESC処理回路170は、MPEGフォーマットで先頭に開始コード「000001」が与えられた場合にのみ動作し、その後の6ビットをランレンジスとして、その後の12ビットをレベルとしてそれぞれ出力する。なお、MPEGフォーマットには「レベル0のランレンジス」が存在しない。

【0017】図3は、図1中の可変長復号化テーブル120のVerilog-HDLによる記述例を示す図である。図3によれば、可変長符号をアドレス（addr）としてcase文の入力に入れ、結果を符号長とランレンジスとレベルとの組（data）で表現する。data（16:12）が符号長に、data（11:6）がランレンジスに、data（5:0）がレベルにそれぞれ相当する。また、このcase文の単位が、DVフォーマット、MPEGフォーマット毎に存在することになる。

【0018】可変長復号化テーブル120の他のインプリメント方法としては、ROMテーブルを持っててもよいし、RAMとして実装してもよい。RAMの場合には、外部から書き込める機構を持つことにより、DVフォーマットとMPEGフォーマットとを共通テーブルにすることも可能である。

【0019】図4は、図1中のランレンジスデコーダ150の概略構成例を示している。図4のランレンジスデコーダ150は、DVフォーマットとMPEGフォーマットとに共用できるように「レベル0のランレンジス」

を許容したものであって、0ラン発生器151と、セレクタ152とを備えている。0ラン発生器151は、ランレンジスが入力されたとき、そのランレンジスの数だけ0を生成する。セレクタ152は、0ラン発生器151により生成された0を全て選択出力した後に、与えられたレベルを選択出力することにより、可変長符号に対応した可変長復号化データを出力する。また、図4のランレンジスデコーダ150は、EOBコード検出信号の入力を受けた場合には当該ブロックの最終係数まで0を出力するように動作する。

【0020】次に、図1中のDC処理回路180について説明する。DVフォーマットにおけるDC係数は、9ビットからなるレベル（b8~b0）と、クラスナンバー（c1, c0）と呼ばれる量子化係数のセットと、DCTのモード（m0）を決定する値とで構成される。よって、DV用DC処理回路181は、DC係数のレベル（b8~b0）を出力するとともに、後段の逆量子化処理及び逆DCT処理のために、クラスナンバー（c1, c0）とDCTモード（m0）とを出力する。一方、MPEG用DC処理回路182は、これらの符号をもとに符号長及びレベルを出力する。

【0021】図5は、図1中のEOB処理回路190の概略構成例を示している。図5のEOB処理回路190は、DVフォーマットとMPEGフォーマットとに共用できるように、DV用EOBコード191と、MPEG用EOBコード192とを有しており、DV/MPEGの選択信号に応じて両EOBコード191, 192のいずれかを第1のセレクタ193で選択する。そして、比較器194により可変長符号と比較し、一致したところでEOBコード検出信号を出力する。また、このとき第2のセレクタ195から符号長を出力する。

【0022】

【発明の効果】以上のとおり、本発明によれば、複数の圧縮フォーマットのために可変長復号化テーブルと、ランレンジスデコーダと、EOB処理回路とを共通化したので、双方向フォーマット変換システムの回路規模を低減することができる。

【図面の簡単な説明】

【図1】本発明に係る可変長復号化器の構成例を示すブロック図である。

【図2】DVフォーマットにおける可変長符号の定義範囲を説明するための図である。

【図3】図1中の可変長復号化テーブルの記述例を示す図である。

【図4】図1中のランレンジスデコーダの概略構成例を示すブロック図である。

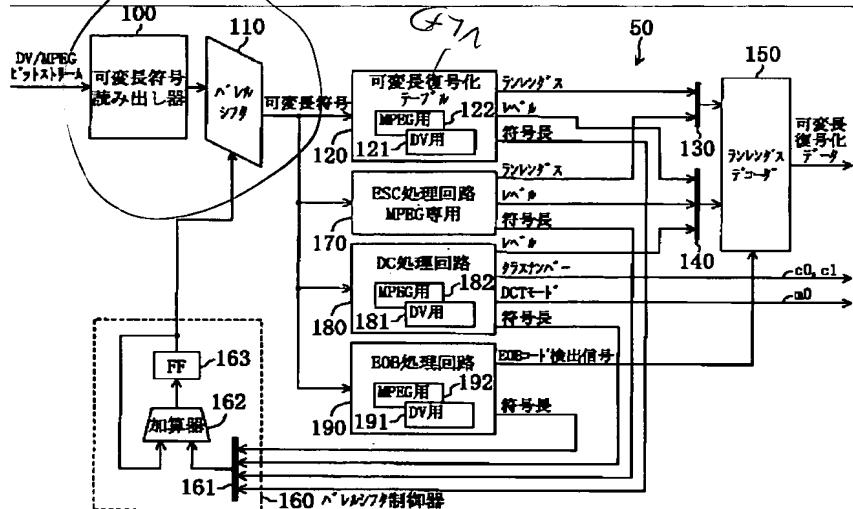
【図5】図1中のEOB処理回路の概略構成例を示すブロック図である。

【符号の説明】

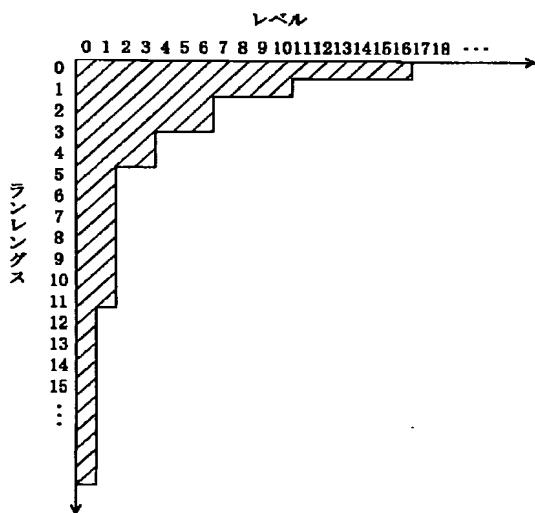
500 可変長復号化器
 100 可変長符号読み出し器
 110 バレルシフタ
 120 可変長復号化テーブル
 130, 140 セレクタ

- 1 5 0 ランレンジングスデコーダ
- 1 6 0 バレルシフタ制御器
- 1 7 0 E S C 处理回路
- 1 8 0 D C 处理回路
- 1 9 0 E O B 处理回路

【図1】



[図2]



【図3】

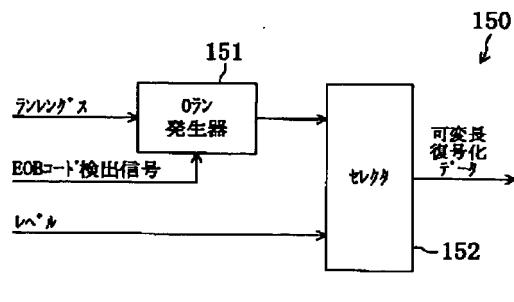
```

module EXAMPLE(address, data);
input[16:0]address;
output[16:0]data;
reg[16:0]data;

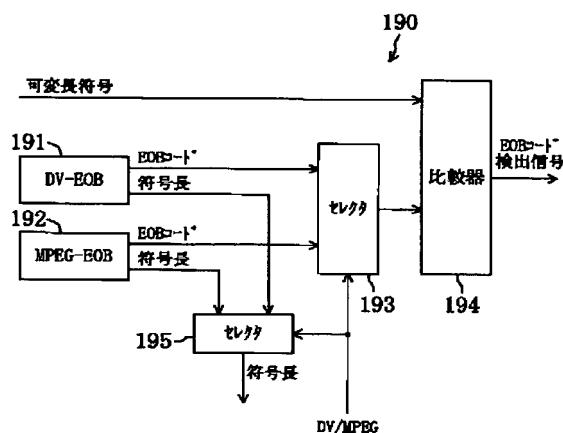
always@(address)
  casex(address)
    16'b00000000000011000: data=17'b01000 101101 000010;
    16'b00000000000010111: data=17'b01000 101110 000010;
    16'b00000000000010110: data=17'b01000 101111 000010;
    16'b00000000000010101: data=17'b01000 110000 000010;
    16'b00000000000011111: data=17'b01000 111011 000001;
    16'b00000000000011110: data=17'b01000 111100 000001;
    16'b00000000000011101: data=17'b01000 111110 000001;
    16'b00000000000011100: data=17'b01000 111111 000001;
    16'b00000000000010111: data=17'b01000 000000 000000;
    default: data=17'b10000 000000 000000;
  endcase
endmodule

```

【図4】



【図5】



フロントページの続き

Fターム(参考) 5C059 KK07 MA00 MA05 MA23 MC14
 MC24 MC38 ME01 ME06 PP04
 SS11 UA05 UA38
 5J064 AA02 AA04 BA09 BA16 BC01
 BC02 BC25 BD03